

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

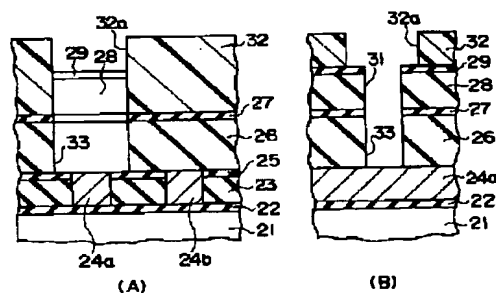
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10209273 A**(43) Date of publication of application: **07.08.98**(51) Int. Cl. **H01L 21/768**(21) Application number: **09005833**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **16.01.97**(72) Inventor: **KATO HIROYUKI****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device wherein increase of resistance value of a through hole contact can be evaded, even when position deviation is generated on a resist pattern for a through hole, by forming a wiring and the through hole contact which have specified sectional shapes, regarding a manufacturing method of a semiconductor device by using dual damascene method.

SOLUTION: An interlayer insulating film 26, an etching stopper film 27, an interlayer insulating film 28 and an etching stopper film 29 are formed on a substrate 21 on which lower wirings 24a, 24b are formed. In this case, the etching stopper film 27 is formed of material whose etching rate is higher as compared with the etching stopper film 29. After a trench 31 for an upper layer wiring is formed, a resist film 32 which has larger aperture part 32a than an intersecting part of the lower wiring 24a and the wiring trench 31 when viewed from above is formed. A through hole 33 is formed by etching the etching stopper film 27 and the interlayer insulating film 26.



COPYRIGHT: (C)1998,JPO

(51) Int.Cl.⁶

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

B

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平9-5833

(22) 出願日 平成9年(1997) 1月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 加藤 寛之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

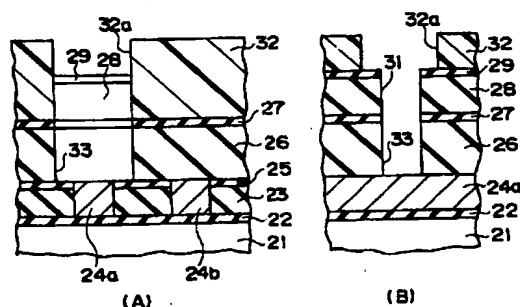
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 デュアルダマシン法による半導体装置の製造方法に関し、所定の断面形状の配線及びスルーホールコンタクトを形成し、スルーホール用レジストパターンに位置ずれが発生しても、スルーホールコンタクトの抵抗値の増大を回避できる半導体装置の製造方法を提供する。

【解決手段】 下層配線24a、24bが形成された基板21上に層間絶縁膜26、エッチングストップ膜27、層間絶縁膜28及びエッチングストップ膜29を形成する。この場合、エッチングストップ膜27はエッチングストップ膜29に比してエッチングレートが高い材料により形成する。その後、上層配線用の溝31を形成した後、上から見たときに下層配線24aと配線溝31との交差部分よりも大きな開口部32aを有するレジスト膜32を形成し、エッチングストップ膜27及び層間絶縁膜26をエッチングしてスルーホール33を形成する。



【特許請求の範囲】

【請求項1】 下層配線が形成された半導体基板上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜上に第1のエッチングストッパ膜を形成する工程と、

前記第1のエッチングストッパ膜上に第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜上に第2のエッチングストッパ膜を形成する工程と、

前記第2のエッチングストッパ膜上に第1のレジスト膜を形成し、該第1のレジスト膜に所望の配線形状で開口部を形成する工程と、

前記第1のレジスト膜をマスクとして前記第1のエッチングストッパ膜が露出するまで前記第2のエッチングストッパ膜及び前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、

前記第1のレジスト膜を除去した後、全面に第2のレジスト膜を形成し、該第2のレジスト膜に前記配線溝の底部が露出する開口部を選択的に形成する工程と、

前記第2のレジスト膜をマスクとし前記第1のエッチングストッパ膜及び前記第1の層間絶縁膜をエッチングしてスルーホールを形成する工程と、

全面に導電材料を堆積させて前記スルーホール及び前記配線溝を該導電材料により埋め込んだ後、化学的機械研磨により前記第2のエッチングストッパ膜上の導電材料を除去し前記スルーホール及び前記配線溝内に前記導電材料を残存させることにより前記配線溝内に配置された上層配線と、該上層配線と前記下層配線とを接続するスルーホールコンタクトとを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1のエッチングストッパ膜は前記第2のエッチングストッパ膜の材料よりもエッチングレートが高い材料により形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1のエッチングストッパ膜を窒化珪素により形成し、前記第2のエッチングストッパ膜をアルミナ又は窒化アルミニウムにより形成することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記第2のレジスト膜の開口部を、上から見たときに前記下層配線と前記配線溝とが交差する部分よりも大きく形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 上から見たときに、前記下層配線と前記配線溝とが交差する部分の縁部と前記第2のレジスト膜の開口部の縁部との間隔を配線間隔の1/2未満とすることを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デュアルダマシ

法により多層配線構造を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置の微細化及び高集積化に伴い、従来のエッチング技術で多層配線を形成する方法では配線及び絶縁膜の形成が難しくなっている。特に配線材料として銅等の金属を用いた場合は、エッチングによる微細加工が難しく、スルーブットが低下するなどの問題が発生している。

【0003】 そこで、半導体基板上の層間絶縁膜に配線用の溝（以下、配線溝という）を形成し、この配線溝を埋め込むように全面に金属を堆積させて金属膜を形成し、CMP（化学的機械研磨）で絶縁膜上の金属膜を除去して配線溝内のみ金属膜を残存させることにより配線を形成するダマシン法が開発されている。更に、層間絶縁膜に配線溝と同時にスルーホールを形成した後、これらの配線溝及びスルーホールを埋め込むように全面に金属を堆積させて金属膜を形成し、CMPで層間絶縁膜上の金属膜を研磨して配線溝及びスルーホール内のみ金属膜を残存させることにより、配線とスルーホールコンタクトとを同時に形成するデュアルダマシン法も開発されている。

【0004】 図11及び図12はデュアルダマシン法による半導体装置の製造方法を工程順に示す断面図である。まず、図11(A)に示すように、所定の素子が形成され、表面上に絶縁膜52が形成された半導体基板51上に、シリコン酸化膜(SiO₂)からなる層間絶縁膜53及びシリコン窒化膜(SiN)からなるエッチングストッパ膜55を形成する。そして、これらの層間絶縁膜53及びエッチングストッパ膜55を選択的にエッチングして下層配線用の溝を形成した後、この下層配線用の溝を埋め込むように全面に銅(Cu)等の金属を堆積させて金属膜を形成し、CMPによりエッチングストッパ膜55が露出するまで金属膜を研磨して前記溝内のみ金属膜を残存させて下層配線54を形成する。その後、全面にシリコン酸化膜からなる層間絶縁膜56及びシリコン窒化膜からなるエッチングストッパ膜57を順次形成する。

【0005】 次に、図11(B)に示すように、エッチングストッパ膜57上にレジストを塗布してレジスト膜60を形成し、このレジスト膜60に対し露光及び現像処理を施し、所望の配線形状の開口部60aを形成する。その後、図11(C)に示すように、レジスト膜60をマスクにしてエッチングストッパ膜57及び層間絶縁膜56を所望の配線の厚さ分だけエッチングすることにより、配線溝61を形成する。

【0006】 次に、レジスト膜60を除去した後、図11(D)に示すように、全面にレジストを塗布してレジスト膜62を形成し、このレジスト膜62に対し露光及び現像処理を施して所望のスルーホール形状の開口部6

2aを形成する。次に、図12(A)に示すように、レジスト膜62をマスクにして層間絶縁膜56をエッチングし、スルーホール63を形成する。

【0007】次いで、図12(B)に示すようにレジスト膜62を除去する。そして、CVD法又は真空蒸着法により、配線溝61及びスルーホール63を埋め込むように全面に銅等の金属を堆積させて金属膜を形成し、CMPによりエッチングストッパ膜57上の金属膜を除去することにより、図12(C)に示すように、スルーホールコンタクト64及び上層配線65を形成する。

【0008】このようにして、多層配線構造を有する半導体装置が製造される。図13及び図14は従来のデュアルダマシンプ法による半導体装置の他の製造方法を工程順に示す断面図である。まず、図13(A)に示すように、所定の素子が形成され、表面上に絶縁膜72が形成された半導体基板71上に、シリコン酸化膜からなる層間絶縁膜73及びシリコン窒化膜からなるエッチングストッパ膜75を形成する。そして、これらの層間絶縁膜73及びエッチングストッパ膜75を選択的にエッチングして下層配線用の溝を形成した後、前記溝を埋め込むように全面に金属を堆積させて金属膜を形成し、CMPによりエッチングストッパ膜75が露出するまで前記金属膜を研磨し溝内のみ金属膜を残存させて下層配線74を形成する。その後、全面にシリコン酸化膜からなる層間絶縁膜76、シリコン窒化膜からなるエッチングストッパ膜77、シリコン酸化膜からなる層間絶縁膜78及びシリコン窒化膜からなるエッチングストッパ膜79を順次形成する。

【0009】次に、図13(B)に示すように、エッチングストッパ膜79上にレジストを塗布してレジスト膜80を形成し、このレジスト膜80に対し露光及び現像処理を施して、所望のスルーホール形状の開口部80aを形成する。その後、図13(C)に示すように、レジスト膜80をマスクにしてエッチングストッパ膜79及び層間絶縁膜78をエッチングした後、更にエッチングストッパ膜77をエッチングして、層間絶縁膜76が露出する孔81aを形成する。

【0010】次に、レジスト膜80を除去した後、図13(D)に示すように、全面にレジストを塗布してレジスト膜82を形成し、このレジスト膜82に対し露光及び現像処理を施して、所望の配線形状の開口部82aを形成する。次に、図14(A)に示すように、レジスト膜82をマスクにしてエッチングストッパ膜79をエッチングし、更に層間絶縁膜78、76を同時にエッチングして、配線溝81及びスルーホール83を形成する。

【0011】次いで、図14(B)に示すようにレジスト膜82を除去する。その後、CVD法又は真空蒸着法により、配線溝81及びスルーホール83を埋め込むように全面に金属を堆積させて金属膜を形成し、CMPによりエッチングストッパ膜79が露出するまで金属膜を

除去することにより、図14(C)に示すように、スルーホールコンタクト84及び上層配線85を形成する。

【0012】このようにして、多層配線構造を有する半導体装置が製造される。

【0013】

【発明が解決しようとする課題】しかしながら、上述した従来の半導体装置の製造方法には以下に示す問題点がある。すなわち、図11及び図12に示す方法では、配線溝61を形成する際に、エッチング速度から所望の配線厚さとなる時間を求め、層間絶縁膜56の厚さ方向の途中でエッチングを終了する必要がある。しかし、エッチング速度は温度等によりばらつきが大きく、配線厚さを均一にすることが困難である。また、図15(A)に示すようにレジスト膜62のスルーホール用開口部62aの位置ずれが発生すると、図15(B)に示すようにスルーホールコンタクト64の幅が小さくなってしまふ。これにより、スルーホールコンタクト64の電気抵抗が増大し、動作不良の原因となる。

【0014】一方、図13及び図14に示す方法では、レジスト膜82を形成する際に孔81a内にレジストが入り込むため、この部分のレジスト膜82の厚さが厚くなる。このため、開口部82aを形成する露光工程において、孔81aの底部のレジストが十分に露光されず、孔81aの底部にレジストが残ってしまうことがある。このため、スルーホールの微細化が阻害される。また、図16(A)に示すように、レジスト膜82の開口部82aの位置ずれが発生すると、図16(B)に示すように、スルーホールコンタクト84の幅が狭くなったり、配線85の形状が変形してしまう。

【0015】本発明は、かかる従来技術の課題に鑑み創作されたものであり、所定の断面形状の配線及びスルーホールコンタクトを形成することができ、スルーホール用レジストパターンに位置ずれが発生しても、スルーホールコンタクトの抵抗値の増大を回避できる半導体装置の製造方法の提供を目的とする。

【0016】

【課題を解決するための手段】上記した課題は、下層配線が形成された半導体基板上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜上に第1のエッチングストッパ膜を形成する工程と、前記第1のエッチングストッパ膜上に第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜上に第2のエッチングストッパ膜を形成する工程と、前記第2のエッチングストッパ膜上に第1のレジスト膜を形成し、該第1のレジスト膜に所望の配線形状で開口部を形成する工程と、前記第1のレジスト膜をマスクとして前記第1のエッチングストッパ膜が露出するまで前記第2のエッチングストッパ膜及び前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、前記第1のレジスト膜を除去した後、全面に第2のレジスト膜を形成し、該第2のレジスト膜に前記配

線溝の底部が露出する開口部を選択的に形成する工程と、前記第2のレジスト膜をマスクとし前記第1のエッチングストップ膜及び前記第1の層間絶縁膜をエッチングしてスルーホールを形成する工程と、全面に導電材料を堆積させて前記スルーホール及び前記配線溝を該導電材料により埋め込んだ後、化学的機械研磨により前記第2のエッチングストップ膜上の導電材料を除去し前記スルーホール及び前記配線溝内に前記導電材料を残存させることにより前記配線溝内に配置された上層配線と、該上層配線と前記下層配線とを接続するスルーホールコンタクトとを形成する工程とを有することを特徴とする半導体装置の製造方法により解決する。

【0017】以下、本発明の作用について説明する。本発明においては、下層配線が形成された半導体基板の上に第1の層間絶縁膜、第1のエッチングストップ膜、第2の層間絶縁膜及び第2のエッチングストップ膜を積層させて形成する。そして、所望の配線形状の開口部を有する第1のレジスト膜をマスクにして第1のエッチングストップが露出するまで第2のエッチングストップ膜及び第2の層間絶縁膜をエッチングして配線溝を形成する。その後、第1のレジスト膜を除去した後、所望のスルーホール形状の開口部を有する第2のレジスト膜を形成する。このとき、本発明においては、配線溝の深さが第2の層間絶縁膜の膜厚及び第2のエッチングストップ膜の膜厚の合計となるので、第2のレジスト膜の膜厚が比較的薄く、レジスト膜の厚さ方向の全体にわたって露光することができて、現像処理後にスルーホール形成部分の第2のエッチングストップ膜上にレジストが残存することを回避できる。

【0018】前記第1のエッチングストップ膜は、前記第2のエッチングストップ膜に比べてエッチングレートが高い材料により形成することが好ましい。また、前記第2のレジスト膜の開口部を、上から見たときに下層配線と配線溝とが交差する部分よりも大きく形成することが好ましい。このようにすると、第1のエッチングストップ膜をエッチングするときに開口部の内側に露出した第2のエッチングストップ膜もエッチングされるが、第2のエッチングストップ膜は第1のエッチングストップ膜に比べてエッチングレートが低いので、第1のエッチングストップ膜がエッチングされて第1の層間絶縁膜が露出しても、第2の層間絶縁膜上には第2のエッチングストップ膜が残存する。従って、第1の層間絶縁膜をエッチングするときに第2の層間絶縁膜は第2のエッチングストップ膜により保護され、配線溝の形状が変化してしまうことを防止できる。また、第2のレジスト膜の開口部の位置ずれが発生しても、スルーホールの形状の変化を防止できて、スルーホールコンタクトと下層配線との接触面積を十分に確保することができる。この場合、第2の層間絶縁膜の上に第2のエッチングストップ膜を形成するので、第2の層間絶縁膜がエッチングされて配

線溝形状が変形してしまうことを回避できる。

【0019】

【実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

(第1の実施の形態) 図1及び図2は本発明の第1の実施の形態の半導体装置の製造方法を工程順に示す断面図である。

【0020】まず、図1(A)に示すように、所定の素子が形成され、表面上に絶縁膜2が形成された半導体基板1上に、シリコン酸化膜等からなる層間絶縁膜3及びシリコン窒化膜等からなるエッチングストップ膜5を形成する。そして、これらの層間絶縁膜3及びエッチングストップ膜5を選択的にエッチングして下層配線用の溝を形成した後、この溝を埋め込むように全面に金属を堆積させて金属膜を形成し、CMPによりエッチングストップ膜5が露出するまで前記金属膜を研磨して溝内のみ金属膜を残存させて、下層配線4を形成する。

【0021】その後、全面にシリコン酸化膜からなる層間絶縁膜6、窒化ケイ素(SiN)等からなるエッチングストップ膜7、シリコン酸化膜等からなる層間絶縁膜8及びアルミナ(Al₂O₃)又は窒化アルミニウム(AlN)等からなるエッチングストップ膜9を順次積層させて形成する。この場合に、エッチングストップ膜7はエッチングストップ膜9に比べてエッチングレートが高い材料により形成する。

【0022】次に、図1(B)に示すように、エッチングストップ膜9上にレジストを塗布してレジスト膜10を形成し、このレジスト膜10に対し露光及び現像処理を施し、所望の配線形状の開口部10aを形成する。その後、図1(C)に示すように、レジスト膜10をマスクにしてエッチングストップ膜9及び層間絶縁膜8を順次エッチングすることにより、配線溝11を形成する。このとき、エッチングストップ膜7が露出した時点でエッチングが実質的に終了し、それ以上時間をかけてもエッチングストップ膜7は殆どエッチングされない。従って、配線溝11の深さは層間絶縁膜8とエッチングストップ膜9との膜厚の合計に等しくなる。

【0023】次に、レジスト膜10を除去した後、図1(D)に示すように、全面にレジストを塗布してレジスト膜12を形成し、このレジスト膜12に対し露光及び現像処理を施して所望のスルーホール形状の開口部12aを形成する。このとき、本実施の形態では、配線溝11内におけるレジスト膜12の膜厚がスルーホール用孔を形成する従来方法(図13(C)参照)に比べて薄いので、露光時に配線溝11内のレジスト膜12を十分に露光することができて、現像処理時にスルーホールとなる部分にレジスト膜が残存することを防止できる。

【0024】次に、図2(A)に示すように、レジスト膜12をマスクにしてエッチングストップ膜7及び層間絶縁膜6を順次エッチングして、スルーホール13を形

成する。次いで、図2(B)示すようにレジスト膜12を除去する。その後、CVD法又は真空蒸着法により、配線溝11及びスルーホール13を埋め込むように全面に銅等の金属を堆積させて金属膜を形成した後、CMPによりエッチングストップ膜9上の金属膜を除去することにより、図2(C)に示すように、スルーホールコンタクト14及び第2層配線15を形成する。

【0025】本実施の形態では、上述のように配線溝11を形成した後、スルーホール13を形成する。このとき、エッチングストップ膜7により溝深さが決定され、配線15の厚さが配線溝11を形成するときのエッチング時間に影響されないため、配線15を所望の厚さで形成することができる。また、本実施の形態では、配線溝11を形成した後にスルーホール13を形成するので、レジスト膜12に開口部12aを形成するとき、溝11内のレジスト膜12の厚さが比較的薄く、レジスト膜12の厚さ方向の全体にわたって十分に露光がなされる。これにより、現像処理後に溝11内のスルーホール形成部分にレジストが残存することを回避できる。

【0026】(第2の実施の形態) 図3は本発明の第2の実施の形態により形成する半導体装置を示す上面図である。この実施の形態は、半導体基板上に相互に平行に配置された下層配線24a、24bを形成し、スルーホールコンタクト34を介して下層配線24aに接続された上層配線を形成するものである。また、図4～図7は第2の実施の形態の半導体装置の製造方法を工程順に示す断面図である。但し、図4(A)～図7(A)は図3のX1-X1線における断面を示し、図4(B)～図7(B)は図3のY1-Y1線における断面を示す。

【0027】まず、図4(A)、(B)に示すように、所定の素子が形成され、表面上に絶縁膜22が形成された半導体基板21上に、層間絶縁膜23及びエッチングストップ膜25を形成する。そして、これらの層間絶縁膜23及びエッチングストップ膜25を選択的にエッチングして下層配線用の溝を形成した後、この溝を埋め込むように全面に金属を形成し、CMPによりエッチングストップ膜25が露出するまで前記金属膜を研磨して溝内にのみ金属膜を残存させて、下層配線24a、24bを形成する。

【0028】その後、全面に層間絶縁膜26、エッチングストップ膜27、層間絶縁膜28及びエッチングストップ膜29を順次積層させて形成する。この場合に、エッチングストップ膜27はエッチングストップ膜29に比べてエッチングレートが高い材料により形成することが必要である。次に、図5(A)、(B)に示すように、エッチングストップ膜29上にレジストを塗布してレジスト膜30を形成し、このレジスト膜30に対し露光及び現像処理を施して、所望の配線形状の開口部30aを形成する。その後、このレジスト膜30をマスクにしてエッチングストップ膜29及び層間絶縁膜28を順

次エッチングすることにより、配線溝31を形成する。このとき、エッチングストップ膜27が露出した時点でエッチングが実質的に終了し、それ以上時間をかけてもエッチングストップ膜27は殆どエッチングされない。従って、配線溝31の深さは層間絶縁膜28とエッチングストップ膜29との膜厚の合計に等しくなる。

【0029】次に、レジスト膜30を除去した後、図6(A)、(B)に示すように、全面にレジストを塗布してレジスト膜32を形成し、このレジスト膜32に対し露光及び現像処理を施して開口部32aを形成する。このとき、図8の上面図に示すようにレジスト膜32(図8中にハッチングで示す)の開口部32aの大きさは、下層配線24aと配線溝31との交差部分の大きさ α よりも 2β (但し、 β は配線間隔 w の $1/2$ 未満)だけ大きくする。

【0030】次に、配線溝31内に露出したエッチングストップ膜27をエッチングする。このとき、開口部32aの内側のエッチングストップ膜29もエッチングされるが、このエッチングストップ膜29はエッチングストップ膜27に比べてエッチングレートが低いので、エッチングストップ膜27がエッチングされて層間絶縁膜26が露出しても、層間絶縁膜28上にはエッチングストップ膜29が残存する。その後、層間絶縁膜26をエッチングしてスルーホール33を形成する。この場合に、層間絶縁膜28はエッチングストップ膜29により覆われているため、配線24aの長手方向に直交する方向のスルーホール33の長さは、溝31の幅と同じになる。すなわち、レジスト膜32の開口部32aを形成するときに位置ずれ(β 以下の位置ずれ)が発生しても、配線溝31との交差部分の下層配線24aを確実に露出させることができる。

【0031】次いで、レジスト膜32を除去した後、図7(A)、(B)に示すように、CVD法又は真空蒸着法により、配線溝31及びスルーホール33を埋め込むように全面に銅等の金属を堆積させて金属膜を形成し、CMPによりエッチングストップ膜29上の金属膜を除去する。これにより、スルーホール33に埋め込まれたスルーホールコンタクト34と配線溝31に埋め込まれた上層配線35とが同時に形成される。

【0032】本実施の形態では、第1の実施の形態と同様の効果が得られるのに加えて、スルーホール形成時のレジスト膜32の開口部32aの大きさを下層配線24aと配線溝31との交差部分よりも大きなサイズで形成し、開口部32aの内側のエッチングストップ膜29により層間絶縁膜28を保護するので、開口部32aを形成する際に位置ずれが発生してもスルーホールコンタクト34が細くなることを防止できる。従って、下層配線24aとスルーホールコンタクト34との接触面積が十分確保されて、電気抵抗の増加が防止される。

【0033】(その他の実施の形態) 第2の実施の形態

においては、レジスト膜32の開口部32aのX方向（配線溝31の長手方向）及びY方向（配線溝31に直交する方向）のサイズをいずれも下層配線24aと配線溝31との交差部よりも大きなサイズとする場合について説明したが、図9に示すように、レジスト膜32の開口部32bのサイズを、Y方向の長さを配線溝31の幅よりも2 β だけ大きくし、X方向の長さを下層配線24aの幅と同じにしてもよい。この場合は、下層配線24a、24bの配線ピッチを第2の実施の形態に比べて更に小さくすることができる。

【0034】また、図10に示すように、下層配線24aと配線溝31aとの交差部よりもX方向及びY方向の長さがいずれも大きい開口部32aと、下層配線24bと配線溝31bとの交差部よりもY方向の長さが大きい開口部24bとを混在させてもよい。この場合も、下層配線及び上層配線の配線ピッチを小さくすることができる。

【0035】

【発明の効果】以上説明したように本発明の半導体装置の製造方法では、配線溝を形成した後、スルーホールを形成するので、スルーホール形成用のレジスト膜の厚さ方向の全体にわたって露光することが可能になり、スルーホール形成部分にレジストが残ることが回避される。

【0036】また、本発明においては、第1の層間絶縁膜上に形成する第1のエッチングストッパ膜のエッチングレートが第2の層間絶縁膜上に形成する第2のエッチングストッパ膜のエッチングレートよりも高いので、第2のエッチングストッパ膜をエッチングして第1の層間絶縁膜を露出させる際に、第2の層間絶縁膜上に第2のエッチングストッパ膜が残存する。従って、前記第1の層間絶縁膜をエッチングしてスルーホールを形成する際に、前記第2の層間絶縁膜がエッチングされることが回避され、配線溝の形状が変形することが防止される。

【0037】更に、第2のレジスト膜の開口部の大きさを上から見たときの下層配線と配線溝との交差部分の大きさよりも大きくすることにより、第2のレジスト膜に位置ずれが発生しても、スルーホールコンタクトが細くなることが回避され、抵抗値が増大することを防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の製造方法を工程順に示す断面図（その1）である。

【図2】本発明の第1の実施の形態の半導体装置の製造

方法を工程順に示す断面図（その2）である。

【図3】本発明の第2の実施の形態により形成する半導体装置を示す上面図である。

【図4】本発明の第2の実施の形態の半導体装置に製造方法を工程順に示す断面図（その1）である。

【図5】本発明の第2の実施の形態の半導体装置に製造方法を工程順に示す断面図（その2）である。

【図6】本発明の第2の実施の形態の半導体装置に製造方法を工程順に示す断面図（その3）である。

10 【図7】本発明の第2の実施の形態の半導体装置に製造方法を工程順に示す断面図（その4）である。

【図8】第2の実施の形態におけるレジスト膜のサイズを示す上面図である。

【図9】レジスト膜の開口部のサイズの他の例を示す上面図である。

【図10】レジスト膜の開口部のサイズの更に他の例を示す上面図である。

【図11】従来の半導体装置の製造方法を工程順に示す断面図（その1）である。

20 【図12】従来の半導体装置の製造方法を工程順に示す断面図（その2）である。

【図13】従来の他の半導体装置の製造方法を工程順に示す断面図（その1）である。

【図14】従来の他の半導体装置の製造方法を工程順に示す断面図（その2）である。

【図15】従来の半導体装置の製造方法の問題点を示す断面図である。

【図16】従来の他の半導体装置の製造方法の問題点を示す断面図である。

30 【符号の説明】

1, 21, 51, 71 半導体基板

2, 22, 52, 72 絶縁膜

3, 6, 8, 23, 26, 28, 53, 56, 73, 7

6, 78 層間絶縁膜

4, 24a, 24b, 54, 74 下層配線

5, 7, 9, 25, 27, 29, 55, 57, 75, 7

7, 79 エッチングストッパ膜

10, 12, 30, 32, 60, 80 レジスト膜

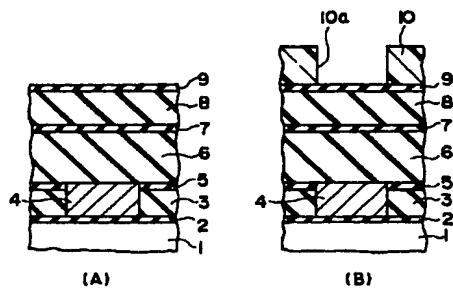
11, 31, 61, 81 配線溝

40 13, 33, 63, 83 スルーホール

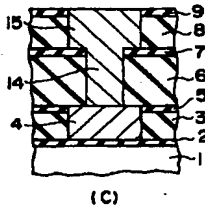
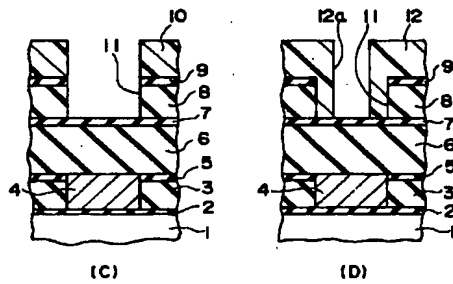
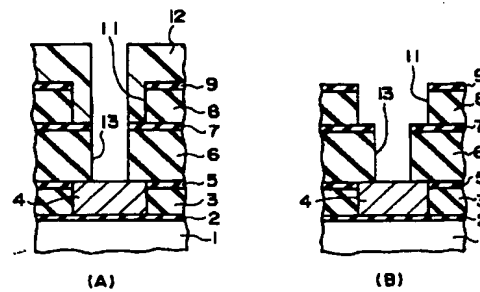
14, 34, 64, 84 スルーホールコンタクト

15, 35, 65, 85 上層配線

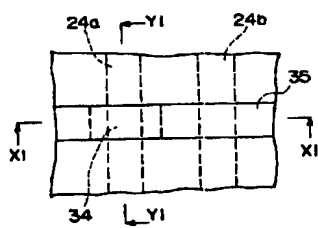
【図1】



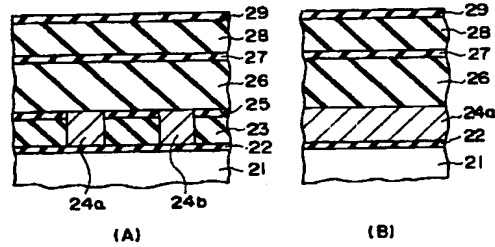
【図2】



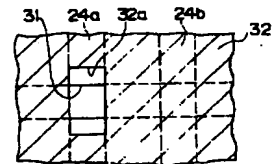
【図3】



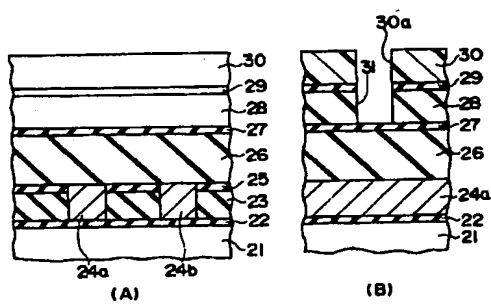
【図4】



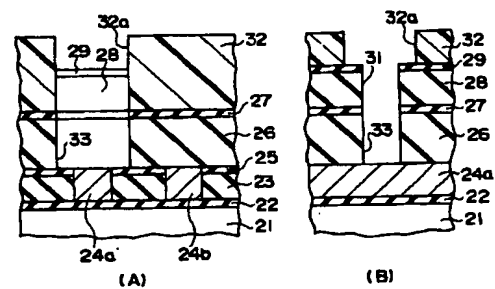
【図9】



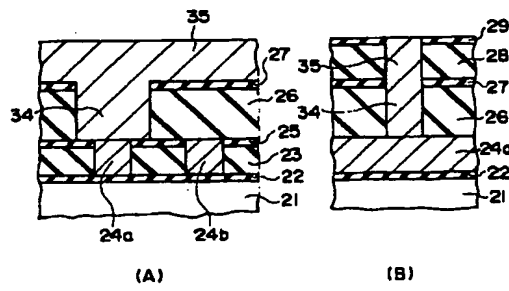
【図5】



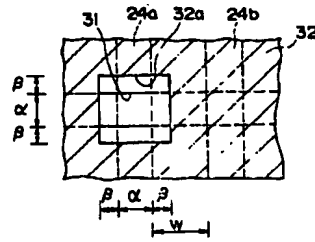
【図6】



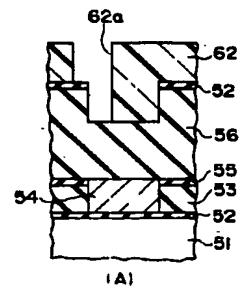
【図7】



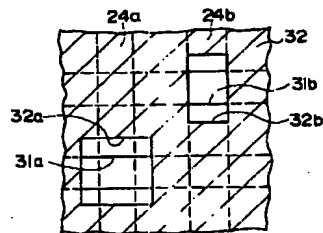
【図8】



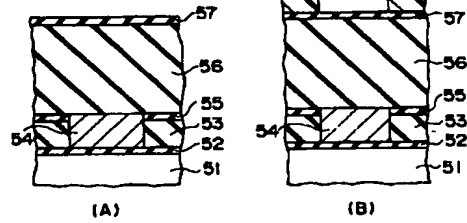
【図15】



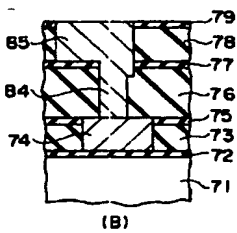
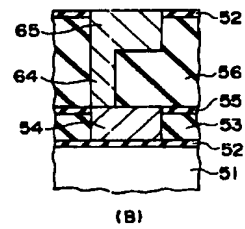
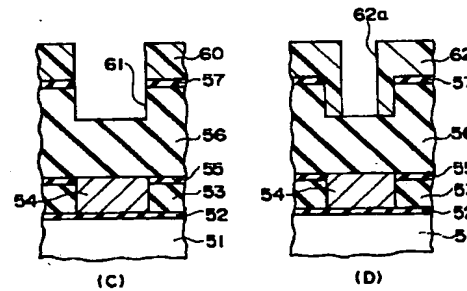
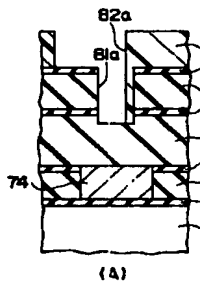
【図10】



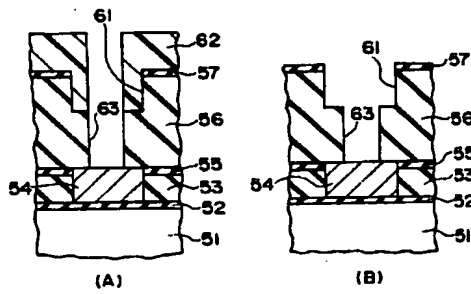
【図11】



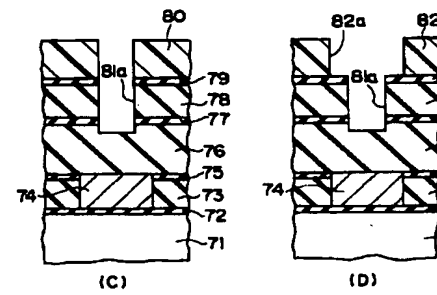
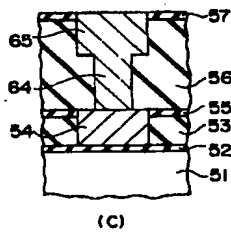
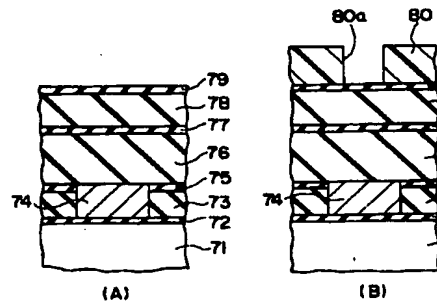
【図16】



【図12】



【図13】



【図14】

